

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Joo-Yul LEE

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6161.0063.AA

For: **DPD DRIVING DEVICE AND
METHOD**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
Alexandria, VA 22313


Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

| Country | Priority Document Appl. No. | Filing Date |
|---------|-----------------------------|---------------|
| KOREA | 2002-0041530 | July 16, 2002 |

A certified copy of Korean Patent Application No. 2002-0041530 is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,


Hae-Chan Park,
Reg. No. 50,114

Date: June 25, 2003

McGuireWoods LLP
1750 Tysons Boulevard
Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0041530
Application Number PATENT-2002-0041530

출원년월일 : 2002년 07월 16일
Date of Application JUL 16, 2002

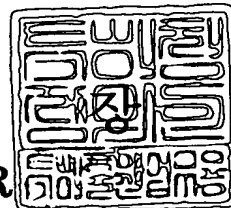
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2002 년 11 월 12 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0002 |
| 【제출일자】 | 2002.07.16 |
| 【발명의 명칭】 | 플라즈마 디스플레이 패널의 구동 장치 및 그 방법 |
| 【발명의 영문명칭】 | DRIVING APPARATUS AND METHOD OF PLASMA DISPLAY PANEL |
| 【출원인】 | |
| 【명칭】 | 삼성에스디아이 주식회사 |
| 【출원인코드】 | 1-1998-001805-8 |
| 【대리인】 | |
| 【명칭】 | 유미특허법인 |
| 【대리인코드】 | 9-2001-100003-6 |
| 【지정된변리사】 | 이원일 |
| 【포괄위임등록번호】 | 2001-041982-6 |
| 【발명자】 | |
| 【성명의 국문표기】 | 이주열 |
| 【성명의 영문표기】 | LEE, JOO YUL |
| 【주민등록번호】 | 740315-1464714 |
| 【우편번호】 | 336-861 |
| 【주소】 | 충청남도 아산시 음봉면 동암리 산 87-1번지 Blue동 217호 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인) |
| 【수수료】 | |
| 【기본출원료】 | 20 면 29,000 원 |
| 【가산출원료】 | 12 면 12,000 원 |
| 【우선권주장료】 | 0 건 0 원 |
| 【심사청구료】 | 11 항 461,000 원 |
| 【합계】 | 502,000 원 |
| 【첨부서류】 | 1. 요약서·명세서(도면)_1통 |

【요약서】**【요약】**

본 발명은 제1 전압과 제2 전압 사이에 직렬로 연결되는 제1 및 제2 스위칭 소자, 상기 제1 및 제2 스위칭 소자 사이의 접점과 제3 전압 사이에 연결된 캐패시터, 정전류를 형성할 수 있고 상기 제3 전압에 연결되는 상승 램프 스위칭 소자, 그리고 상기 제1 및 제2 스위칭 소자 사이의 접점과 상기 상승 램프 스위칭 소자의 타단 사이에 연결되고 정전류를 형성할 수 있는 메인 경로 스위칭 소자를 포함한다.

이와 같은 본 발명에 따르면 스위치 소자의 개수를 줄일 수 있어 플라즈마 디스플레이 패널의 가격이 절감될 수 있다.

【대표도】

도 5

【색인어】

플라즈마 디스플레이 패널, 리셋, 스위치

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널의 구동 장치 및 그 방법{DRIVING APPARATUS AND METHOD OF PLASMA DISPLAY PANEL}

【도면의 간단한 설명】

도 1은 종래의 교류형 플라즈마 디스플레이 패널의 일부 사시도이다.

도 2는 종래의 플라즈마 디스플레이 패널의 전극 배열도이다.

도 3 및 도 4는 각각 종래의 플라즈마 디스플레이 패널의 구동 파형을 나타내는 도면이다.

도 5은 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 주사 전극 부의 구동 회로를 나타낸 도면이다.

도 6A 내지 도 6D는 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법에 따른 리셋 단계에서의 전류 흐름도를 구동 파형과 함께 나타내는 도면이다.

도 7 및 도 8은 각각 본 발명에 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로와 구동 파형이다.

도 9A 내지 도 9E는 본 발명의 제2 실시예에 따른 각 모드의 전류 경로와 그에 따른 리셋 파형을 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 플라즈마 디스플레이 패널(plasma display panel; PDP)의 구동 방법 및 구동 장치에 관한 것이다.
- <9> 최근 액정 표시 장치(liquid crystal display; LCD), 전계 방출 표시 장치(field emission display; FED), 플라즈마 디스플레이 패널(PDP) 등의 평면 표시 장치가 활발히 개발되고 있다. 이들 평면 표시 장치 중에서 플라즈마 디스플레이 패널은 다른 평면 표시 장치에 비해 휘도 및 발광 효율이 높으며 시야각이 넓다는 장점이 있다. 따라서, 플라즈마 디스플레이 패널이 40인치 이상의 대형 표시 장치에서 종래의 CRT(cathode ray tube)를 대체할 표시 장치로서 각광받고 있다.
- <10> 플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 픽셀(pixel)이 매트릭스(matrix)형태로 배열되어 있다. 이러한 플라즈마 디스플레이 패널은 인가되는 구동 전압 파형의 형태와 방전 셀의 구조에 따라 직류형(DC형)과 교류형(AC형)으로 구분된다.
- <11> 직류형 플라즈마 디스플레이 패널은 전극이 방전 공간에 그대로 노출되어 있어서 전압이 인가되는 동안 전류가 방전 공간에 그대로 흐르게 되며, 이를 위해 전류 제한을 위한 저항을 만들어 주어야 하는 단점이 있다. 반면 교류형 플라즈마 디스플레이 패널에서는 전극을 유전체층이 덮고 있어 자연스러운 캐패시턴스 성분의 형성으로 전류가 제한

되며 방전시 이온의 충격으로부터 전극이 보호되므로 직류형에 비해 수명이 길다는 장점이 있다.

<12> 도 1은 AC형 플라즈마 디스플레이 패널의 일부 사시도이다.

<13> 도 1에 도시한 바와 같이, 제1 유리기판(1)위에는 유전체층(2) 및 보호막(3)으로 덮인 주사 전극(4)과 유지 전극(5)이 쌍을 이루어 평행하게 설치된다. 제2 유리기판(6) 위에는 절연체층(7)으로 덮인 복수의 어드레스 전극(8)이 설치된다. 어드레스 전극(8)들 사이에 있는 절연체층(7) 위에는 어드레스 전극(8)과 평행하게 격벽(9)이 형성되어 있다. 또한, 절연체층(7)의 표면 및 격벽(9)의 양측면에 형광체(10)가 형성되어 있다. 제1 유리기판(1)과 제2 유리기판(6)은 주사 전극(4)과 어드레스 전극(8) 및 유지 전극(5)과 어드레스 전극(8)이 직교하도록 방전 공간(11)을 사이에 두고 대향하여 배치되어 있다. 어드레스 전극(8)과, 쌍을 이루는 주사 전극(4)과 유지 전극(5)과의 교차부에 있는 방전 공간이 방전셀(12)을 형성한다.

<14> 도 2는 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.

<15> 도 2에 도시한 바와 같이, 플라즈마 디스플레이 패널 전극은 $m \times n$ 의 매트릭스 구성을 가지고 있으며, 구체적으로 열 방향으로 어드레스 전극(A1 ~ Am)이 배열되어 있고 행 방향으로 n행의 주사 전극(Y1 ~ Yn) 및 유지 전극(X1 ~ Xn)이 지그재그로 배열되어 있다. 도 2에 도시된 방전 셀(12)은 도 1에 도시된 방전 셀(12)에 대응한다.

<16> 일반적으로 교류형 플라즈마 디스플레이 패널의 구동 방법은 리셋(초기화) 기간, 기입 방전(어드레싱) 기간, 유지 방전 기간으로 구성된다.

- <17> 리셋 기간은 셀에 어드레싱 동작이 원활히 수행되도록 하기 위해 각 셀의 상태를 초기화시키는 기간이며, 기입 방전 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레싱 된 셀)에 벽전하를 쌓아두는 동작을 수행하는 기간이다. 유지 기간은 어드레싱 된 셀에 실제로 화상을 표시하기 위한 방전을 수행하는 기간이다.
- <18> 플라즈마 디스플레이 패널 구동 파형의 설계에 있어서 핵심적인 부분은 리셋 파형이다. 이하에서는 종래의 교류형 플라즈마 디스플레이 패널의 리셋 파형과 그 구동 방법을 설명한다.
- <19> 리셋의 기본적인 역할은 이전 방전에 의해 형성된 벽전하를 소거하고, 다음 어드레스 방전이 잘 수행될 수 있도록 벽전하를 셋업(set-up)하는데 있다. 플라즈마 디스플레이 패널 패널에는 수 백만 개의 셀들이 존재하고, 이 셀들은 모두 조금씩 다른 방전 전압을 갖는다. 그러나, 구동을 할 때에는 하나의 정해진 전압을 가지고 모든 셀들의 방전을 조절해야 하기 때문에 많은 어려움이 따른다. 리셋 구간에서는 벽전하 소거와 재셋업을 하면서도 셀 간에 존재하는 방전 전압의 차이를 해결하는 것이 매우 중요하다. 리셋 파형은 세부적으로 나누면, 이전 방전에 의한 벽전하를 소거하는 부분과 셀 간의 방전 전압 산포를 해결하고 어드레스에 용이하도록 벽전하를 재분포시키는 과정으로 나눌 수 있다.
- <20> 즉, 리셋 구간은 다음에 따라 오는 기입 방전 구간의 동작을 용이하게 할 목적으로 특정한 형태의 전압을 인가하는 구간으로, 이 구간의 동작 특성에 따라서 셀간 균일도가 떨어지는 플라즈마 디스플레이 패널도 안정적인 표시가 가능해진다.
- <21> 셀간 균일도가 떨어지는 표시 장치를 안정적으로 동작시키기 위해서 현재 리셋 구간에서 주로 사용되는 파형은 도 3, 즉 미국 특허번호 5745086에서 제시한 형태의 램프(ramp)파형이다. 도 3과 같은 파형에서 이 램프 파형의 기울기가 느릴수록 셀간 균일도가 떨어지

는 장치를 안정적으로 표시할 수 있으며, 대략적으로 $15\text{V}/\mu\text{s}$ 이하의 기울기를 사용하게 된다. 실제로는 안정적인 동작을 위해 $1\sim 2\text{V}/\mu\text{s}$ 정도의 기울기를 사용하게 되며, 따라서 이 전압이 400V 일 때 $200\mu\text{s}$ 가 두 번, 즉 $400\mu\text{s}$ 가 필요하게 되어 너무 많은 시간을 사용하게 된다. 그래서 이 파형을 약간 개선한 도 4와 같은 파형이 주로 사용된다. 도 4에서는 필요한 전압까지 계속해서 램프 파형으로 변화시키지 않고, 플라즈마 디스플레이 패널의 방전 셀에서 방전이 일어나지 않을 만큼의 전압은 순간적으로 변화시키고, 그 후에 램프 파형을 인가하는 형태를 사용한다.

<22> 종래의 플라즈마 디스플레이 패널의 구동 장치는 유지 방전 파형 형성부와 램프 파형 형성부로 이루어져 있다. 유지 방전 파형 형성부는 유지 방전 구간의 파형을 인가하기 위한 스위칭 소자로 이루어져 있는데, 이 스위칭 소자들은 유지 방전에 사용되는 큰 전류를 감당할 수 있는 대용량 소자이며, 낮은 전압 하에서 구동된다.

<23> 그러나, 램프 파형 형성부는 리셋 구간에 사용되는 높은 전압을 사용하고 있으므로, 램프 파형 형성부와 유지 방전 파형 형성부를 차단하는 메인 경로 스위칭 소자를 가져, 유지 방전 구간의 파형을 인가하는 대용량 소자가 사용되는 곳에 리셋 구간에 사용되는 높은 전압이 인가되는 것을 막아 썬 소자를 사용할 수 있게 한다.

<24> 램프 파형 형성부의 상승 램프 스위칭 소자와 하강 램프 스위칭 소자는 서서히 증가하거나 감소하는 전압 파형, 즉 램프 파형을 인가할 수 있도록 FET의 드레인(drain)전극과 게이트(gate)전극 사이에 캐패시터가 연결되어 있다. 이 캐패시터로 인해 드레인과 게이트 사이에 일정한 전압이 걸리기 때문에 정전류가 흐르며, 이에 따라 패널 캐패시터에는 램프 파형의 전압이 인가되는 것이다.

<25> 그러나 이러한 플라즈마 디스플레이 패널의 구동 회로는 유지 방전 파형을 인가하기 위한 회로에 리셋 파형을 인가하기 위한 높은 전압이 인가되는 것을 막기 위한 메인 경로 스위칭 소자와 주사 전극에 하강 램프 파형을 인가하기 위한 하강 램프 스위칭 소자를 따로따로 사용하고 있는데, 이렇게 별개의 스위칭 소자로 구동하는 것은 200V 이상의 전압에 견딜 수 있는 스위칭 소자의 가격이 비싸다는 점을 감안하여 볼 때 비효율적이다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명은 종래의 플라즈마 디스플레이 패널의 구동 회로에 사용되는 스위칭 소자의 수를 줄여 플라즈마 표시 장치의 가격을 저렴하게 하기 위한 것이다.

【발명의 구성 및 작용】

<27> 상기와 같은 목적을 달성하기 위해, 본 발명에 따른 플라즈마 디스플레이 패널의 구동 장치는 복수의 주사 전극 및 유지 전극을 표시 라인마다 병행으로 배치하고, 동시에 상기 주사 전극 및 유지 전극과는 전기적으로 분리된 복수의 어드레스 전극이 상기 주사 전극 및 유지 전극과 교차되는 플라즈마 디스플레이 패널의 구동 장치로서,

<28> 제1 전압과 제2 전압 사이에 직렬로 연결되는 제1 및 제2 스위칭 소자,

<29> 상기 제1 및 제2 스위칭 소자 사이의 접점과 제3 전압 사이에 연결된 캐패시터,

<30> 정전류를 형성할 수 있고 상기 제3 전압에 연결되는 상승 램프 스위칭 소자, 그리고

<31> 상기 제1 및 제2 스위칭 소자 사이의 접점과 상기 상승 램프 스위칭 소자의 타단 사이에 연결되고 정전류를 형성할 수 있는 메인 경로 스위칭 소자를 포함한다.

<32> 그리고 본 발명에 따른 플라즈마 디스플레이 패널은

- <33> 제1 및 제2 기판,
- <34> 서로 쌍을 이루며 배열된 다수의 주사 전극과 유지 전극,
- <35> 상기 주사 전극 및 유지 전극들과 교차하도록 배열된 다수의 데이터 전극,
- <36> 제1 전압과 제2 전압 사이에 직렬로 연결되는 제1 및 제2 스위칭 소자,
- <37> 상기 제1 및 제2 스위칭 소자 사이의 접점과 제3 전압 사이에 연결된 캐패시터,
- <38> 정전류를 형성할 수 있고 상기 제3 전압에 연결되는 상승 램프 스위칭 소자, 그리고
- <39> 상기 제1 및 제2 스위칭 소자 사이의 접점과 상기 상승 램프 스위칭 소자의 타단 사이에 연결되고 정전류를 형성할 수 있는 메인 경로 스위칭 소자를 포함한다.
- <40> 또한 본 발명에 따른 플라즈마 디스플레이 패널의 구동 장치에서 상기 제1 전압은 유지 방전 전압이고, 상기 제2 전압은 접지 전압이며, 상기 제3 전압은 상기 제1 전압과의 합이 플라즈마 디스플레이 패널의 각 셀의 벽전하를 고르게 재분포하기에 충분히 높은 전압인 것이 바람직하다.
- <41> 또한 본 발명에 따른 플라즈마 디스플레이 패널의 구동 장치에서 상기 제1 및 제2 스위칭 소자, 상기 상승 램프 스위칭 소자, 그리고 상기 메인 경로 스위칭 소자는 각각 바디 다이오드를 가지는 모스트랜지스터인 것이 바람직하다.
- <42> 또한 본 발명에 따른 플라즈마 디스플레이 패널의 구동 장치에서 상기 상승 램프 스위칭 소자와 상기 메인 경로 스위칭 소자는 모스트랜지스터로서 게이트와 드레인 사이에 캐패시터가 연결되는 것이 바람직하다.

- <43> 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법은 복수의 주사 전극 및 유지 전극을 표시 라인마다 병행으로 배치하고, 동시에 상기 주사 전극 및 유지 전극과는 전기적으로 분리된 복수의 어드레스 전극이 상기 주사 전극 및 유지 전극과 교차되는 플라즈마 디스플레이 패널의 구동 방법으로서,
- <44> 제1 전압과 제2 전압에 제1 단자가 선택적으로 전기적으로 연결되는 캐패시터를 제3 전압으로 충전시키는 제1 단계,
- <45> 상기 캐패시터의 제1 단자에 상기 제1 전압을 인가하고, 상기 캐패시터의 제2 단자와 상기 주사 전극 사이에 전기적으로 연결되고 상기 주사 전극에 정전류를 공급할 수 있는 상승 램프 스위칭 소자를 온 시켜, 상기 주사 전극의 전위를 상기 제1 전압부터 제3 전압만큼 램프 파형으로 상승시키는 제2 단계,
- <46> 상기 상승 램프 스위칭 소자를 오프시키고, 상기 캐패시터의 제1 단자에 상기 제2 전압을 인가하여 상기 주사 전극의 전위를 제4 전압으로 하는 제3 단계,
- <47> 상기 제2 전압과 상기 주사 전극 사이에 전기적으로 연결되고 상기 주사 전극에 정전류를 공급할 수 있는 메인 경로 스위칭 소자를 온 시켜, 상기 주사 전극의 전위를 상기 제2 전압까지 서서히 하강시키는 제4 단계를 포함한다.
- <48> 또한 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법에서 상기 제1 단계는 상기 제1 전압에 연결된 상기 제1 스위칭 소자를 온 시켜 상기 주사 전극의 전위를 상기 제1 전압까지 빠르게 상승시킬 수 있다.
- <49> 또한 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법에서 상기 제1 단계는 상기 제1 및 제2 전압 사이에 직렬로 연결된 상기 제1 및 제2 스위칭 소자의 점점에 연

결된 충방전부를 통하여 전류를 흐르게 하여 상기 주사 전극의 전위를 상기 제1 전압까지 빠르게 상승시키는 것이 바람직하다.

<50> 또한 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법에서 상기 제3 단계는 상기 제2 전압에 연결된 상기 제2 스위칭 소자를 온 시켜 상기 주사 전극의 전위를 상기 제2 단계에서의 최대 전압에서 상기 제1 전압을 뺀 전위까지 빠르게 하강시킬 수 있다.

<51> 또한 본 발명에 따른 플라즈마 디스플레이 패널의 구동 방법에서 상기 제3 단계는 상기 제1 및 제2 전압 사이에 연결된 상기 제1 및 제2 스위칭 소자의 접점에 연결된 충방전부를 통하여 전류를 흐르게 하여 상기 주사 전극의 전위를 상기 제2 단계에서의 최대 전압에서 상기 제1 전압을 뺀 전위까지 빠르게 하강시키는 것이 바람직하다.

<52> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<53> 이제 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 장치 및 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

<54> 도 5은 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 주사 전극 부의 구동 회로를 나타낸 도면이다. 도 5에서 보는 바와 같이 플라즈마 디스플레이 패널의 주사 전극부의 구동 회로는 충방전부(720)과 유지 방전부(740), 그리고 램프 파형 형성부(760)로 이루어진다.

- <55> 충방전부(720)는 스위칭 소자(Y_r , Y_f), 다이오드(D_1 , D_2), 캐패시터(C_0) 및 인덕터(L_1)로 이루어져 있다. 캐패시터(C_0)에는 $V_s/2$ 만큼의 전압이 충전되어 있고, 인덕터(L_1)와 패널 캐패시터(C_p)간의 직렬 공진을 이용하여 주사 전극의 전위를 전압(V_s)으로 상승시키거나 전압(V_g)으로 하강시킨다. 전압(V_s)로 상승시킬 때는 스위칭 소자(Y_r)를 온 시키고, 전압(V_g)로 하강시킬 때는 스위칭 소자(Y_f)를 온 시키게 된다. 다이오드(D_1 , D_2)는 충방전 전류 경로를 설정하는 역할을 한다.
- <56> 유지 방전부(740)는 전압(V_s , V_g) 및 스위칭 소자(Y_s , Y_g)로 이루어져 있다. 전압(V_s)과 전압(V_g) 사이에 스위칭 소자(Y_s , Y_g)가 직렬 연결되어 있고, 스위칭 소자(Y_s , Y_g) 사이의 접점은 인덕터(L_1)에 연결되어 있다. 스위칭 소자(Y_s)를 온 시켜 주사 전극의 전위를 전압(V_s)으로 유지시킬 수 있고, 스위칭 소자(Y_g)를 온 시켜 주사 전극의 전위를 전압(V_g)으로 유지시킬 수 있다. 각 스위칭 소자(Y_s , Y_g)는 모스트랜지스터로 되어 있으며, 바디 다이오드를 가져 캐패시터(C_{set})과 스위칭 소자(Y_s , Y_g)와의 접점의 전위가 전압(V_s)보다 높아지거나, 전압(V_g)보다 낮아지는 것을 방지한다.
- <57> 램프 파형 형성부는 상승 램프 스위칭 소자(Y_{rr}), 메인 경로 스위칭 소자(Y_p & Y_{fr}) 및 캐패시터(C_{set})를 포함하고 있다.
- <58> 상승 램프 스위칭 소자(Y_{rr})는 리셋 방전 파형의 일부인 상승하는 램프 파형을 생성하는 역할을 하기 위해 설계된 것으로, MOSFET으로 구현하고 게이트와 드레인 사이에 캐패시터(C_1)가 연결되며, 바디 다이오드를 가진다.
- <59> 메인 경로 스위칭 소자(Y_p & Y_{fr})는 종래의 플라즈마 디스플레이 패널의 구동 장치에서 낮은 전압으로 구동되는 유지 방전 파형 형성부에 기입 방전 전에 존재하는 리셋 파형을 인가하기 위한 높은 전압이 인가되는 것을 막는 역할을 하는 메인 경로 스위칭

소자의 기능과, 리셋 방전 파형의 일부인 하강하는 램프 파형을 생성하는 역할을 하는 하강 램프 스위칭 소자의 기능을 모두 수행할 수 있도록 설계된 것이다. 따라서, 메인 경로 스위칭 소자(Y_p & Y_{fr})는 MOSFET으로서 게이트와 드레인 사이에 캐패시터(C_2)를 연결하여 램프 파형을 형성할 수 있게 하였고, 바디 다이오드를 가진다.

<60> 전압(V_{set})과 스위칭 소자(Y_g) 사이에 연결된 캐패시터(C_{set})는 도 4에 나타낸 리셋 파형에서의 최대 전압이 전압(V_s)과 전압(V_{set})의 합이 될 수 있도록 하는 역할을 한다. 주사 전극이 접지 전압(V_g)에 있을 때 전압(V_{set})으로 충전되고, 따라서 스위칭 소자(Y_s)가 도통되면 캐패시터(C_{set})와 전압(V_{set})에 연결된 노드의 전압이 전압(V_s)과 전압(V_{set})의 합이 된다. 그러나 실제로는 회로의 기생 성분 때문에 전압(V_s)과 전압(V_{set})의 합보다는 약간 작아질 수 있다.

<61> 스위칭 소자(Y_{sc} , SC_H , SC_L)와 캐패시터(C_3)는 주사 전극에 주사 전압을 인가하는 역할을 한다. 스위칭 소자(Y_{sc} , SC_H)를 온 시켜서 주사 전압(V_{sc})을 인가하고, 스위칭 소자(SC_L)을 온 시켜서 주사 전극을 접지 전위로 유지시킨다.

<62> 스위칭 소자(Y_{sp})는 주사 전극에서 유지 방전부 쪽으로 전류를 흐르게 하는 역할을 한다.

<63> 다음은 도 6A 내지 도 6D를 참조하여 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법을 설명한다.

<64> 도 6A 내지 도 6D는 본 발명의 제1 실시예에 따른 각 모드의 전류 경로와 그에 따른 리셋 파형을 나타내는 도면이다.

<65> 본 발명의 제1 실시예에서는 모드 1이 시작되기 전에 스위칭 소자(Y_g)가 도통되어 주사 전극의 전위는 접지 전압(V_g)으로 되어 있다. 따라서, 캐패시터(C_{set})의 양단에는 전압(V_{set})이 걸려 있는 상태이다.

<66> ① 모드 1 - 도 6A 참조

<67> 모드 1에서는 스위칭 소자(Y_g)가 오프되고, 스위칭 소자(Y_s , SC_L)가 온 되어 스위칭 소자(Y_s)-메인 경로 스위칭 소자(Y_p & Y_{fr})의 바디 다이오드-스위칭 소자(SC_L)로 전류 경로가 형성되며, 주사 전극의 전위는 전압(V_s)으로 순간적으로 상승한다. 따라서, 초기에 캐패시터(C_{set})에는 전압(V_{set})이 걸려 있었으므로 캐패시터(C_{set})의 일단의 전압이 접지 전압(V_g)에서 전압(V_s)으로 순간적으로 상승하게 됨에 따라 캐패시터(C_{set})의 타단의 전압은 전압(V_{set})에서 전압($V_{set} + V_s$)으로 순간적으로 상승한다.

<68> 또한 모드 1에서 곧바로 유지 방전부의 스위칭 소자(Y_s)를 온 시키는 대신, 충방전부의 스위칭 소자(Y_r)를 온 시켜 주사 전극의 전위를 전압(V_s)까지 상승시키고 그 다음에 스위칭 소자(Y_s)를 온 시키는 방법이 있다.

<69> ②모드 2 - 도 6B 참조

<70> 스위칭 소자(Y_s)가 오프되고 상승 램프 스위칭 소자(Y_{rr})와 스위칭 소자(SC_L)이 온 되면서, 상승 램프 스위칭 소자(Y_{rr})-스위칭 소자(SC_L)와 같이 전류 경로가 형성된다. 상승 램프 스위칭 소자(Y_{rr})의 게이트와 드레인 사이에 연결된 캐패시터(C_1)로 인해 게이트와 드레인 사이에는 정전압이 걸리게 되고, 따라서 상승 램프 스위칭 소자(Y_{rr})에는 정전류가 흘러 패널 캐패시터의 영향을 받아 주사 전극의 전위는 전압($V_{set} + V_s$)

까지 램프 파형(Prr)으로 서서히 증가한다. 그러나 회로의 기생 성분 때문에 정확히 전압($V_{set} + V_s$)까지 상승하지는 못하고 약간 못 미치게 된다.

<71> ③모드 3 - 도 6C 참조

<72> 상승 램프 스위칭 소자(Yrr)는 오프시키고, 스위칭 소자(SC_H, Ysp, Yf)를 온 시키면 스위칭 소자(SC_H)-스위칭 소자(Ysp)-상승 램프 스위칭 소자(Yrr)의 바디 다이오드-캐패시터(Cset)-스위칭 소자(Yf)와 같은 경로로 전류가 흐르게 되어 주사 전극의 전위가 최대 전압에서 전압(V_s)만큼 순간적으로 떨어지게 된다. 이는 스위칭 소자(Yg)와 연결된 캐패시터(Cset)의 단자의 전압이 전압(V_s)에서 접지 전압(V_g)으로 순간적으로 떨어지고, 이에 따라 캐패시터(Cset)의 타단의 전압도 전압(V_s)만큼 순간적으로 떨어지기 때문이다.

<73> 또한 이렇게 스위칭 소자(Yf)를 온 시켜 주사 전극의 전압을 떨어뜨리는 방법 대신 스위칭 소자(Yf)는 오프 상태를 유지하고 스위칭 소자(Yg)를 온 시켜 주사 전극의 전압을 떨어뜨리는 방법도 있다.

<74> ④모드 4 - 도 6D 참조

<75> 스위칭 소자(Yf)가 오프되고 메인 경로 스위칭 소자(Yp & Yfr)와 스위칭 소자(Yg)가 온 되면서, 스위칭 소자(SC_H)-스위칭 소자(Ysp)-스위칭 소자(Yp & Yfr)-스위칭 소자(Yg)와 같은 경로로 전류가 흐르게 되어 주사 전극의 전위가 램프 파형(Pfr)으로 서서히 하강하게 된다. 메인 경로 스위칭 소자(Yp & Yfr)는 MOSFET으로 게이트와 드레인 양단에 캐패시터가 연결되어 있어 정전류가 흐르므로 주사 전극에 램프 파형을 인가할 수 있다.

- <76> 이하에서는 본 발명의 제2 실시예에 대하여 도 7, 도 8 및 도 9A 내지 도 9E를 참조하여 설명한다.
- <77> 도 7 및 도 8은 각각 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 회로와 구동 파형을 나타낸다.
- <78> 본 발명의 제2 실시예의 구동 회로가 앞서 설명한 제1 실시예의 구동 회로와 마찬가지로 충방전부(920), 유지 방전부(940) 및 램프 파형 형성부(960)으로 이루어져 있다. 제2 실시예가 제1 실시예와 다른 점은 스위칭 소자(Yer)를 추가하였다는 점이다. 주사전극에 소거 전압 파형(Pe)을 인가해 각 셀에서 이전 방전에 의한 벽전하를 소거하기 위하여 소거 스위칭 소자(Yer)를 추가한 것이다.
- <79> 도 7에서 보는 바와 같이 소거 스위칭 소자(Yer)는 메인 경로 스위칭 소자(Yp & Yfr) 양단 사이에 연결되어 있으며, MOSFET으로서 게이트와 드레인 사이에 캐패시터가 연결되어 있으며 바디 다이오드를 가진다. 도 8에 나타난 소거 파형(Pe)을 메인 경로 스위칭 소자(Yp & Yfr)로 형성하지 않고, 새로운 스위칭 소자인 소거 스위칭 소자(Yer)로 형성하는 이유는 게이트와 드레인 사이에 연결된 캐패시터 특성에 따라 램프 파형의 기울기가 변하기 때문이다.
- <80> 다음은 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법을 도 9A 내지 도 9E를 참조하여 설명한다. 도 9A 내지 도 9E는 본 발명의 제2 실시예에 따른 각 모드의 전류 경로와 그에 따른 리셋 파형을 나타내는 도면이다.
- <81> ①모드 1 (도 9A 참조)

<82> 스위칭 소자(Y_s)가 오프되고 소거 스위칭 소자(Y_{er})과 스위칭 소자(SC_H , Y_{sp} , Y_g)가 온 되면서, 스위칭 소자(SC_H)-스위칭 소자(Y_{sp})-소거 스위칭 소자(Y_{er})-스위칭 소자(Y_g)와 같은 경로로 전류가 흐르게 되어 주사 전극의 전위가 램프 파형(P_e)으로 서서히 하강하게 된다. 소거 스위칭 소자(Y_{er})는 MOSFET으로 게이트와 드레인 양단에 캐패시터가 연결되어 있어 정전류가 흐르므로 패널 캐패시터의 영향을 받아 주사 전극에 램프 파형이 인가된다.

<83> ②모드 2 (도 9B 참조)

<84> 모드 2에서는 소거 스위칭 소자(Y_{er})과 스위칭 소자(Y_{sp} , SC_H)가 오프되고, 스위칭 소자(Y_s , SC_L)가 온 되어 스위칭 소자(Y_s)-메인 경로 스위칭 소자(Y_p & Y_{fr})의 바디 다이오드 또는 소거 스위칭 소자(Y_{er})의 바디 다이오드-스위칭 소자(SC_L)로 전류 경로가 형성되며, 주사 전극의 전위는 전압(V_s)으로 순간적으로 상승한다. 따라서, 초기에 캐패시터(C_{set})에는 전압(V_{set})이 걸려 있었으므로 캐패시터(C_{set})의 일단의 전압이 접지 전압(V_g)에서 전압(V_s)으로 순간적으로 상승하게 됨에 따라 캐패시터(C_{set})의 타단의 전압은 전압(V_{set})에서 전압($V_{set} + V_s$)으로 순간적으로 상승한다.

<85> 또한 모드 2에서 곧바로 유지 방전부의 스위칭 소자(Y_s)를 온 시키는 대신, 충방전부의 스위칭 소자(Y_r)를 온 시켜 주사 전극의 전위를 전압(V_s)까지 상승시키고 그 다음에 스위칭 소자(Y_s)를 온 시키는 방법이 있다.

<86> ③모드 3 (도 9C 참조)

<87> 스위칭 소자(Y_s)가 오프되고 상승 램프 스위칭 소자(Y_{rr})가 온 되면서, 상승 램프 스위칭 소자(Y_{rr})-스위칭 소자(SC_L)와 같이 전류 경로가 형성된다. 상승 램프 스위칭

소자(Yrr)의 게이트와 드레인 사이에 연결된 캐패시터(C1)로 인해 게이트와 드레인 사이에는 정전압이 걸리게 되고, 따라서 상승 램프 스위칭 소자(Yrr)에는 정전류가 흘러 패널 캐패시터의 영향을 받아 주사 전극의 전위는 전압($V_{set} + V_s$)까지 램프 파형(Prr)으로 서서히 증가한다. 그러나 회로의 기생 성분 때문에 정확히 전압($V_{set} + V_s$)까지 상승하지는 못하고 약간 못 미치게 된다.

<88> ④모드 4 (도 9D 참조)

<89> 상승 램프 스위칭 소자(Yrr)는 오프시키고, 스위칭 소자(SC_H, Ysp, Yf)를 온 시키면 스위칭 소자(SC_H)-스위칭 소자(Ysp)-상승 램프 스위칭 소자(Yrr)의 바디 다이오드-캐패시터(Cset)-스위칭 소자(Yf)와 같은 경로로 전류가 흐르게 되어 주사 전극의 전위가 최대 전압에서 전압(V_s)만큼 순간적으로 떨어지게 된다. 이는 스위칭 소자(Yg)와 연결된 캐패시터(Cset)의 단자의 전압이 전압(V_s)에서 접지 전압(V_g)으로 순간적으로 떨어지고, 이에 따라 캐패시터(Cset)의 타단의 전압도 전압(V_s)만큼 순간적으로 떨어지기 때문이다.

<90> 또한 이렇게 스위칭 소자(Yf)를 온 시켜 주사 전극의 전압을 떨어뜨리는 방법 대신 스위칭 소자(Yf)는 오프 상태를 유지하고 스위칭 소자(Yg)를 온 시켜 주사 전극의 전압을 떨어뜨리는 방법도 있다.

<91> ⑤모드 5 (도 9E 참조)

<92> 스위칭 소자(Yf)가 오프되고 메인 경로 스위칭 소자(Yp & Yfr)와 스위칭 소자(Yg)가 온 되면서, 스위칭 소자(SC_H)-스위칭 소자(Ysp)-메인 경로 스위칭 소자(Yp & Yfr)-스위칭 소자(Yg)와 같은 경로로 전류가 흐르게 되어 주사 전극의 전위가 램프 파형(Pfr)

으로 서서히 하강하게 된다. 메인 경로 스위칭 소자(Y_p & Y_{fr})는 MOSFET으로 게이트와 드레인 양단에 캐패시터가 연결되어 있어 정전류가 흐르므로 패널 캐패시터의 영향을 받아 주사 전극에 램프 파형이 인가된다.

<93> 따라서, 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 장치는 종래 플라즈마 디스플레이 패널의 구동 회로를 나타내는 도 5에서 보는 바와 같이 따로 따로 존재하던 하강 램프 스위칭 소자(Y_{fr})와 메인 경로 스위칭 소자(Y_p)를 도 5에서 보는 바와 같이 메인 경로 스위칭 소자(Y_p & Y_{fr}) 하나로 통합하여, 스위칭 소자의 개수를 줄였다.

【발명의 효과】

<94> 본 발명에 따르면, 종래의 플라즈마 디스플레이 패널의 구동 회로에 사용되는 스위칭 소자의 수를 줄여 플라즈마 표시 장치의 가격을 저렴하게 할 수 있다.

【특허청구범위】**【청구항 1】**

복수의 주사 전극 및 유지 전극을 표시 라인마다 병행으로 배치하고, 동시에 상기 주사 전극 및 유지 전극과는 전기적으로 분리된 복수의 어드레스 전극이 상기 주사 전극 및 유지 전극과 교차되는 플라즈마 디스플레이 패널의 구동 장치에 있어서,

제 1 전압과 제2 전압 사이에 직렬로 연결되는 제1 및 제2 스위칭 소자,

상기 제1 및 제2 스위칭 소자 사이의 접점과 제3 전압 사이에 연결된 캐패시터,

정전류를 형성할 수 있고 상기 제3 전압에 연결되는 상승 램프 스위칭 소자, 그리고

고

상기 제1 및 제2 스위칭 소자 사이의 접점과 상기 상승 램프 스위칭 소자의 타단 사이에 연결되고 정전류를 형성할 수 있는 메인 경로 스위칭 소자를 포함하는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 2】

제1항에서,

상기 제1 전압은 유지 방전 전압이고, 상기 제2 전압은 접지 전압이며, 상기 제3 전압은 상기 제1 전압과의 합이 플라즈마 디스플레이 패널의 각 셀의 벽전하를 고르게 재분포하기에 충분히 높은 전압인 플라즈마 디스플레이 패널의 구동 장치.

【청구항 3】

제1항에서,

상기 제1 및 제2 스위칭 소자, 상기 상승 램프 스위칭 소자, 그리고 상기 메인 경로 스위칭 소자는 각각 바디 다이오드를 가지는 모스트랜지스터인 플라즈마 디스플레이 패널의 구동 장치.

【청구항 4】

제1항에서,

상기 상승 램프 스위칭 소자와 상기 메인 경로 스위칭 소자는 모스트랜지스터로서 게이트와 드레인 사이에 캐패시터가 연결되는 플라즈마 디스플레이 패널의 구동 장치.

【청구항 5】

복수의 주사 전극 및 유지 전극을 표시 라인마다 병행으로 배치하고, 동시에 상기 주사 전극 및 유지 전극과는 전기적으로 분리된 복수의 어드레스 전극이 상기 주사 전극 및 유지 전극과 교차되는 플라즈마 디스플레이 패널의 구동 방법에 있어서,

제 1 전압과 제2 전압에 제1 단자가 선택적으로 전기적으로 연결되는 캐패시터를 제3 전압으로 충전시키는 제1 단계,

상기 캐패시터의 제1 단자에 상기 제1 전압을 인가하고, 상기 캐패시터의 제2 단자와 상기 주사 전극 사이에 전기적으로 연결되고 상기 주사 전극에 정전류를 공급할 수 있는 상승 램프 스위칭 소자를 온 시켜, 상기 주사 전극의 전위를 상기 제1 전압부터 제 3 전압만큼 램프 파형으로 상승시키는 제2 단계,

상기 상승 램프 스위칭 소자를 오프시키고, 상기 캐패시터의 제1 단자에 상기 제2 전압을 인가하여 상기 주사 전극의 전위를 제4 전압으로 하는 제3 단계,

상기 제2 전압과 상기 주사 전극 사이에 전기적으로 연결되고 상기 주사 전극에 정전류를 공급할 수 있는 메인 경로 스위칭 소자를 온 시켜, 상기 주사 전극의 전위를 상기 제2 전압까지 서서히 하강시키는 제4 단계를 포함하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 6】

제5항에서,

상기 제1 전압은 유지 방전 전압이고, 상기 제2 전압은 접지 전압이며, 상기 제3 전압은 상기 제1 전압과의 합이 플라즈마 디스플레이 패널의 각 셀의 벽전하를 고르게 재분포하기에 충분히 높은 전압이고, 상기 제4 전압은 상기 제3 전압인 플라즈마 디스플레이 패널의 구동 방법.

【청구항 7】

제5항에서,

상기 제2 단계는 상기 제1 전압에 연결된 스위칭 소자를 온 시켜 상기 캐패시터의 제1 단자에 상기 제1 전압을 인가하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 8】

제5항에서,

상기 제2 단계는 상기 제1 및 제2 전압 사이에 직렬로 연결된 제1 및 제2 스위칭 소자의 접점에 연결된 충전부통을 통하여 전류를 흐르게 하여 상기 캐패시터의 제1 단자에 상기 제1 전압을 인가하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 9】

제5항에서,

상기 제3 단계는 상기 제2 전압에 연결된 스위칭 소자를 온 시켜 상기 캐패시터의 제1 단자에 상기 제2 전압을 인가하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 10】

제5항에서,

상기 제3 단계는 상기 제1 및 제2 전압 사이에 연결된 제1 및 제2 스위칭 소자의 접점에 연결된 충방전부를 통하여 전류를 흐르게 하여 상기 캐패시터의 제1 단자에 상기 제2 전압을 인가하는 플라즈마 디스플레이 패널의 구동 방법.

【청구항 11】

제1 및 제2 기판,

서로 쌍을 이루며 배열된 다수의 주사 전극과 유지 전극,

상기 주사 전극 및 유지 전극들과 교차하도록 배열된 다수의 데이터 전극,

제 1 전압과 제2 전압 사이에 직렬로 연결되는 제1 및 제2 스위칭 소자,

상기 제1 및 제2 스위칭 소자 사이의 접점과 제3 전압 사이에 연결된 캐패시터,

정전류를 형성할 수 있고 상기 제3 전압에 연결되는 상승 램프 스위칭 소자, 그리고

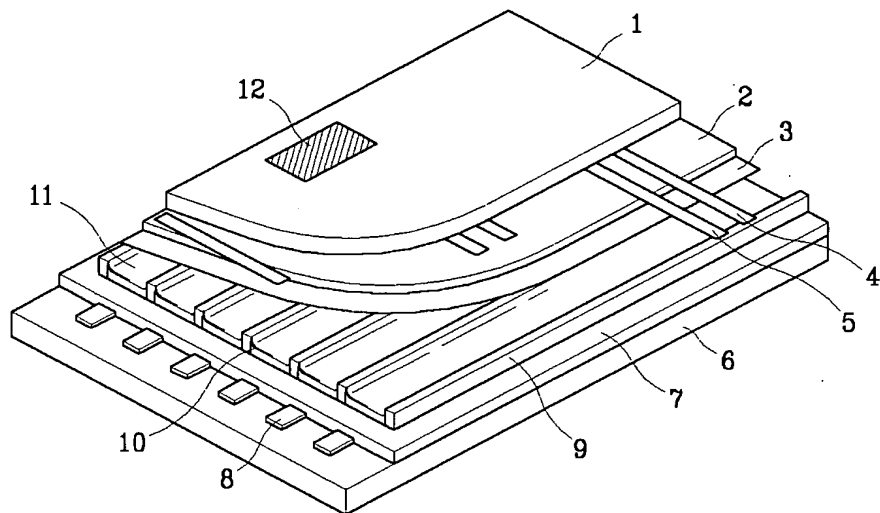
고

상기 제1 및 제2 스위칭 소자 사이의 접점과 상기 상승 램프 스위칭 소자의 타단 사이에 연결되고 정전류를 형성할 수 있는 메인 경로 스위칭 소자

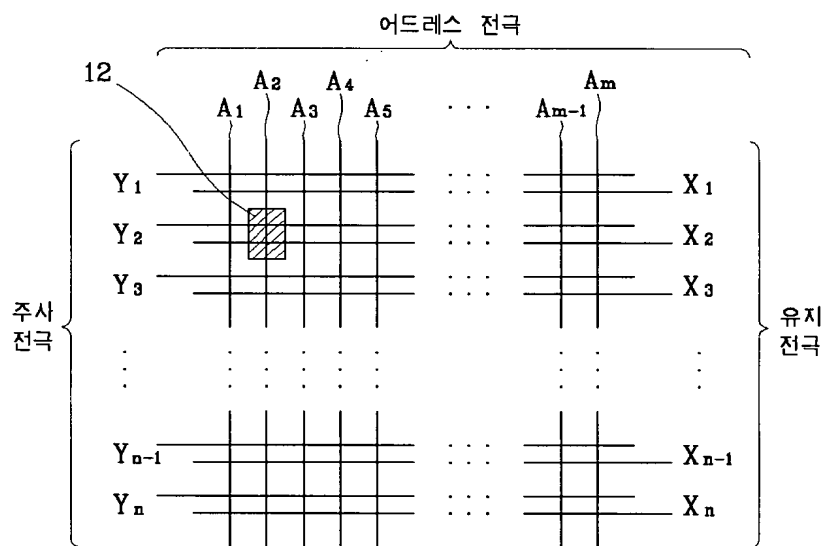
를 포함하는 플라즈마 디스플레이 패널.

【도면】

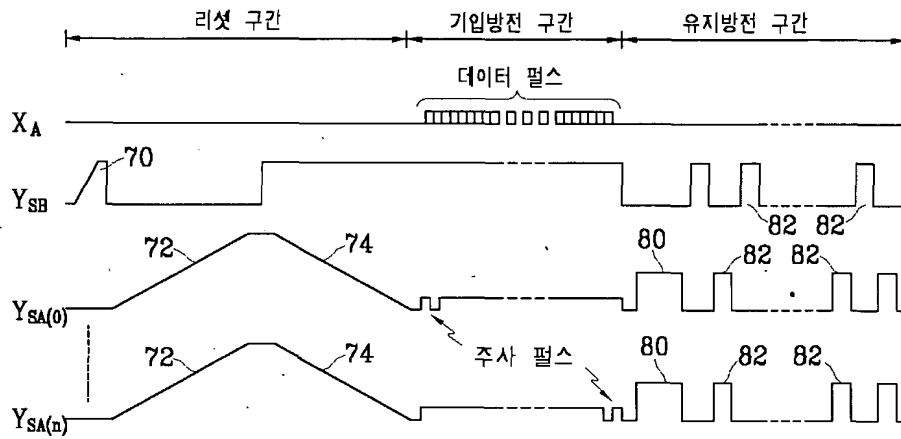
【도 1】



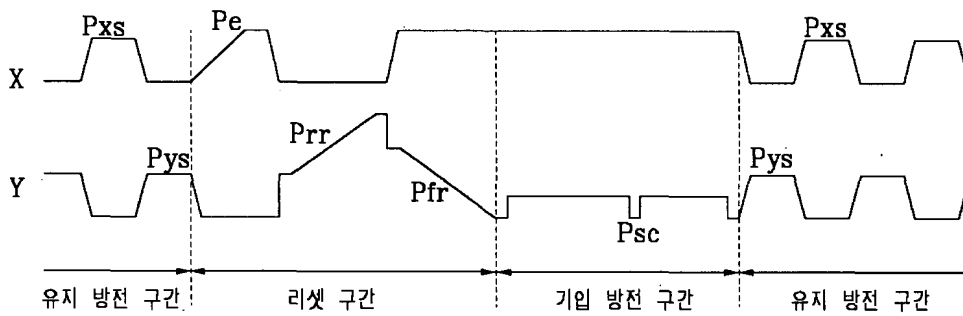
【도 2】



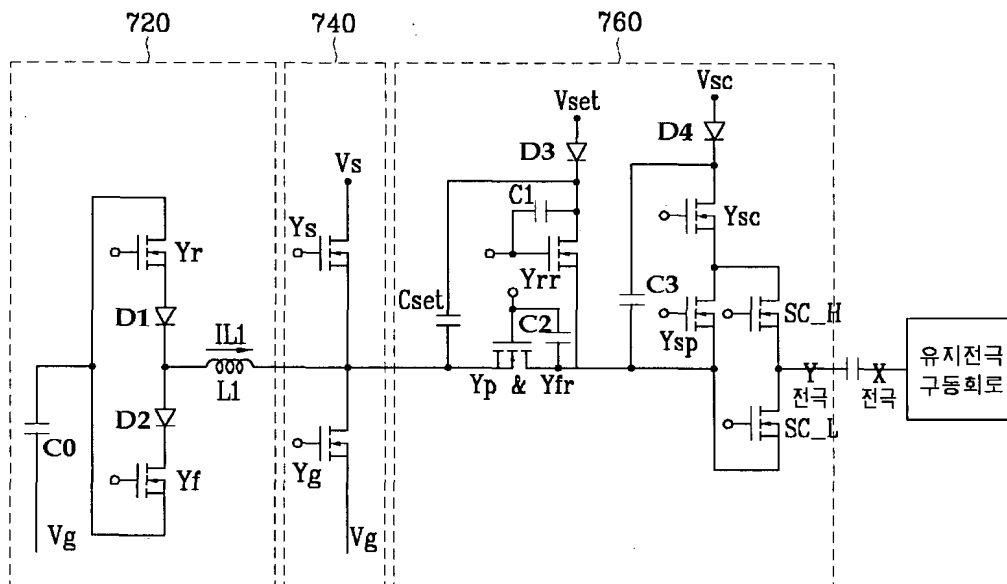
【도 3】



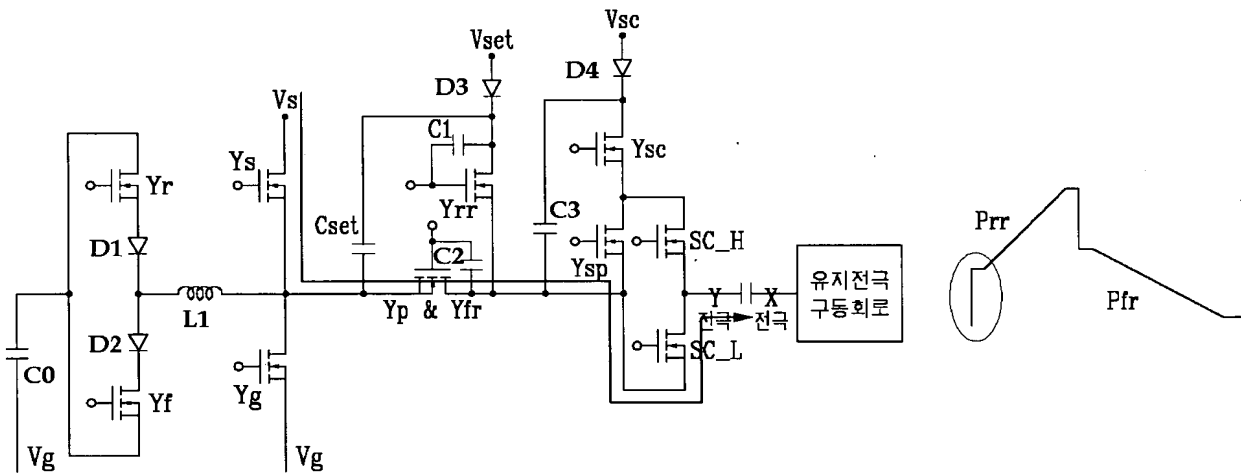
【도 4】



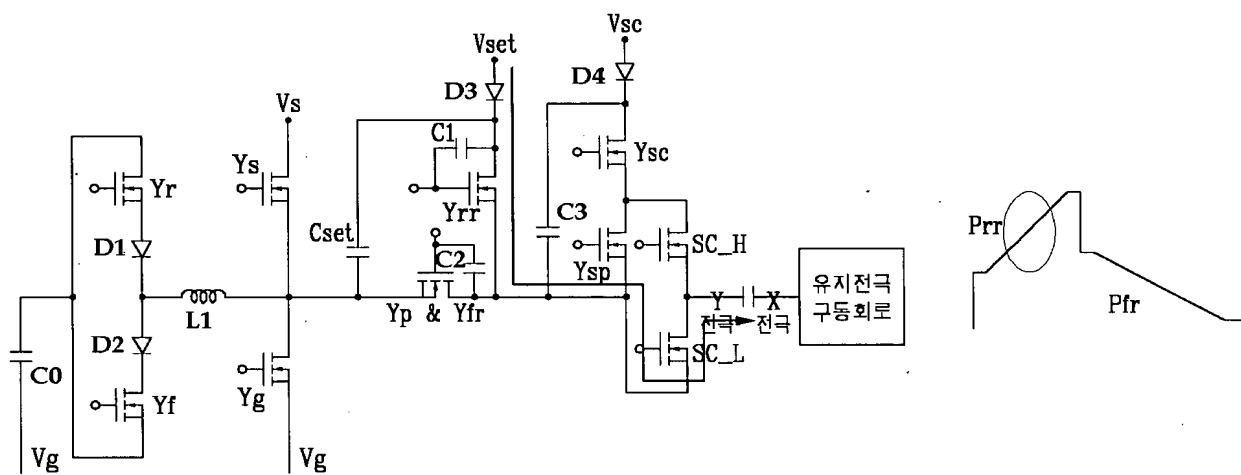
【도 5】



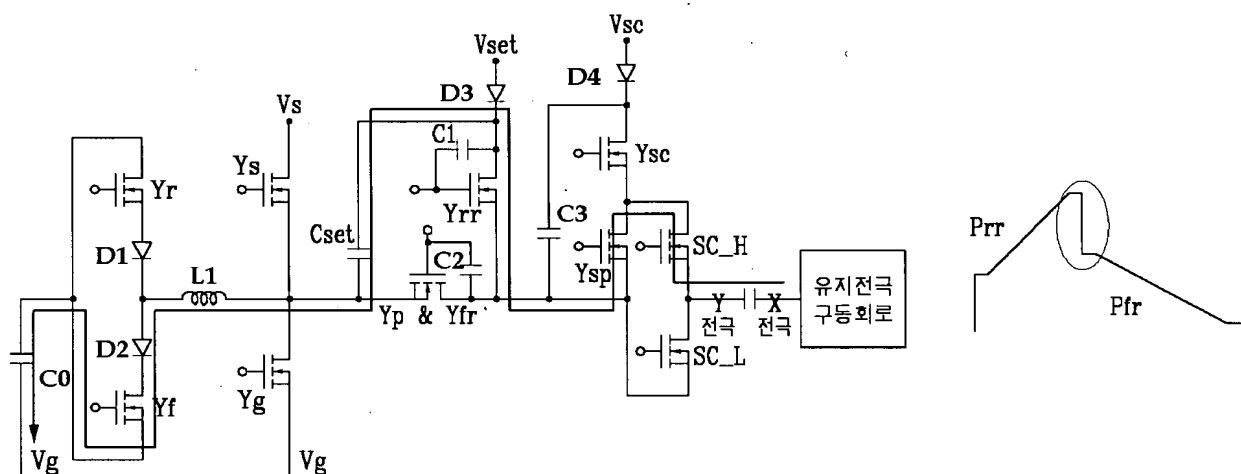
【도 6a】



【도 6b】



【도 6c】



The diagram illustrates a driving circuit for a storage capacitor and a pixel driving circuit, divided into three main sections: 920, 940, and 960.

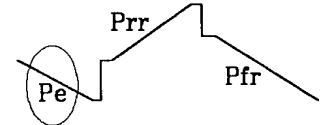
- Section 920:** A PMOS transistor Y_r and an NMOS transistor Y_f are connected in series between a gate voltage V_g and ground. A diode $D1$ is connected in series with Y_r , and a diode $D2$ is connected in series with Y_f . The output node is connected to a storage capacitor $C0$ and a load inductor $L1$ (represented by a coil symbol) in series with a current source $IL1$.
- Section 940:** A PMOS transistor Y_s and an NMOS transistor Y_g are connected in series between a source voltage V_s and ground. The output node is connected to a PMOS transistor Y_{rr} and an NMOS transistor Y_p in series. A capacitor $C1$ is connected between the gate of Y_{rr} and its drain. A capacitor $C2$ is connected between the gate of Y_p and its drain. A capacitor C_{set} is connected between the gates of Y_{rr} and Y_p . A diode $D3$ is connected in series with Y_{rr} , and a diode $D4$ is connected in series with Y_p . The output node is connected to a PMOS transistor Y_{sc} and an NMOS transistor Y_{sp} in series. A capacitor $C3$ is connected between the gate of Y_{sc} and its drain. A capacitor $C4$ is connected between the gate of Y_{sp} and its drain. A diode $D4$ is connected in series with Y_{sc} .
- Section 960:** A PMOS transistor Y_{sc} and an NMOS transistor Y_{sp} are connected in series between a source voltage V_{sc} and ground. The output node is connected to a PMOS transistor SC_H and an NMOS transistor SC_L in series. A capacitor $C3$ is connected between the gate of SC_H and its drain. A capacitor $C4$ is connected between the gate of SC_L and its drain. A diode $D4$ is connected in series with SC_H .

The output of the circuit is connected to a storage capacitor $C0$ and a load inductor $L1$ in series with a current source $IL1$. The output node is also connected to a PMOS transistor Y_{rr} and an NMOS transistor Y_p in series. A capacitor $C1$ is connected between the gate of Y_{rr} and its drain. A capacitor $C2$ is connected between the gate of Y_p and its drain. A capacitor C_{set} is connected between the gates of Y_{rr} and Y_p . A diode $D3$ is connected in series with Y_{rr} , and a diode $D4$ is connected in series with Y_p . The output node is also connected to a PMOS transistor Y_{sc} and an NMOS transistor Y_{sp} in series. A capacitor $C3$ is connected between the gate of Y_{sc} and its drain. A capacitor $C4$ is connected between the gate of Y_{sp} and its drain. A diode $D4$ is connected in series with Y_{sc} . The output node is also connected to a PMOS transistor SC_H and an NMOS transistor SC_L in series. A capacitor $C3$ is connected between the gate of SC_H and its drain. A capacitor $C4$ is connected between the gate of SC_L and its drain. A diode $D4$ is connected in series with SC_H . The output node is also connected to a storage capacitor $C0$ and a load inductor $L1$ in series with a current source $IL1$.

The diagram illustrates the timing of signals X and Y and associated power levels across four operational regions:

- 유지 방전 구간 (Maintain Discharge Region):** The first region where signal X is high and signal Y is low. Power levels P_{xs} and P_{ys} are active.
- 리셋 구간 (Reset Region):** The second region where signal X is low and signal Y is high. Power levels P_{rr} and P_{fr} are active.
- 기입 방전 구간 (Write Discharge Region):** The third region where signal X is high and signal Y is low. Power levels P_{sc} and P_{ys} are active.
- 유지 방전 구간 (Maintain Discharge Region):** The fourth region where signal X is high and signal Y is low. Power levels P_{xs} and P_{ys} are active.

Vertical dashed lines mark the boundaries between these regions. The signals X and Y are shown as step functions, while the power levels are shown as trapezoidal pulses.

[illegible]